

【特許請求の範囲】

【請求項1】基準クロックの入力回路と、

前記基準クロックに同期して外部入力信号をラッチする入力バッファ回路と、

前記基準クロックに同期して記憶データを外部に出力する出力バッファ回路と、

を備え、

前記入力バッファ回路と前記出力バッファ回路とが、同一の記憶データの処理に関して、前記基準クロックのそれぞれ異なるエッジにより動作するように構成されたことを特徴とする半導体メモリ。

【請求項2】前記外部入力信号に応じて前記記憶データの読み出しを行う回路系であって、前記出力バッファ回路を除いてなる内部読み出し回路系が、前記入力バッファ回路が動作するエッジに基づいてのみ動作することを特徴とする請求項1記載の半導体メモリ。

【請求項3】前記内部読み出し回路により読み出された前記記憶データを前記出力バッファが出力するまで一時的に蓄える緩衝回路を、前記内部読み出し回路系と、前記出力バッファ回路との間に備えたことを特徴とする請求項2記載の半導体メモリ。

【請求項4】前記緩衝回路が、入力制御信号によりデータの入力が制御されると共に、出力制御信号によりデータの出力が制御される記憶回路を複数並列に接続してなることを特徴とする請求項3記載の半導体メモリ。

【請求項5】前記入力制御信号が、前記入力バッファ回路を動作させる前記基準クロックのエッジに基づいたタイミングにより生成されるようにしたことを特徴とする請求項4記載の半導体メモリ。

【請求項6】前記出力制御信号が、前記出力バッファ回路を動作させる前記基準クロックのエッジに基づいたタイミングにより生成されるようにしたことを特徴とする請求項4記載の半導体メモリ。

【請求項7】前記入力制御信号が、前記基準クロックにより制御される第一のカウント回路により選択出力されることを特徴とする請求項5記載の半導体メモリ。

【請求項8】前記出力制御信号が、前記基準クロックにより制御される第二のカウント回路により選択出力されることを特徴とする請求項6記載の半導体メモリ。

【請求項9】前記第一のカウント回路又は前記第二のカウント回路を前記基準クロックの同一エッジに基づいて強制的に所定の値に設定する手段を、具備したことを特徴とする請求項7又は請求項8記載の半導体メモリ。

【請求項10】前記内部読み出し回路系の少なくとも一部を複数備え、一つの基準のクロックにより実質的に同時に複数の前記記憶データが前記緩衝回路の入力に読み出されるように構成したことを特徴とする請求項3記載の半導体メモリ。

【請求項11】前記緩衝回路を構成する複数の記憶回路が各々複数の入力端子を備え、前記複数の入力端子はそ

れぞれ異なる入力制御信号で制御されることを特徴とする請求項9又は請求項10記載の半導体メモリ。

【請求項12】前記緩衝回路へのデータの入力を制御する前記入力制御信号が、前記内部読み出し回路系より読み出されるために用いられたアドレス信号により制御されることを特徴とする請求項11記載の半導体メモリ。

【請求項13】前記緩衝回路を構成する複数の記憶回路のうち、複数の実質的に同時にそれぞれ異なる前記記憶データに対して入力を行うことを特徴とする請求項12記載の半導体メモリ。

【請求項14】前記緩衝回路を構成する複数の記憶回路の各々が、外部出力でのロウ出力、ハイ出力およびハイインピーダンス出力に相当する3値を記憶するように構成されたことを特徴とする請求項3記載の半導体メモリ。

【請求項15】前記緩衝回路よりデータを出力するための前記出力制御信号を生成する前記基準クロックのクロックエッジが、前記データをチップ外部に出力するタイミングを生成する前記基準クロックのクロックエッジの1周期前であることを特徴とする請求項3記載の半導体メモリ。

【請求項16】前記基準クロックのうち読み出し指示を行うクロックエッジと、前記読み出し指示によるデータの出力を指示するクロックエッジとの間の周期数のうち、最大数と同じ個数の記憶回路で前記緩衝回路が構成されることを特徴とする請求項9記載の半導体メモリ。

【請求項17】前記基準クロックのうち読み出し指示を行うクロックエッジと、前記読み出し指示によるデータの出力を指示するクロックエッジとの間の周期数のうち、最大数と同じ個数が奇数であり、前記緩衝回路が前記個数と同一数の記憶回路から構成されることを特徴とする請求項13記載の半導体メモリ。

【請求項18】前記基準クロックのうち読み出し指示を行うクロックエッジと、前記読み出し指示によるデータの出力を指示するクロックエッジとの間の周期数のうち、最大数と同じ個数が偶数であり、前記緩衝回路が前記個数より一つ多い記憶回路から構成されることを特徴とする請求項13記載の半導体メモリ。

【請求項19】バースト転送機能を備えた半導体メモリにおいて、

入力されたアドレス信号から基準クロック信号に基づき、内部カラムアドレスを生成し、プリデコードされたカラムアドレスをデコードを介してメモリセルアレイの選択線に接続されるメモリセルからデータをセンスアンプ及び読み出し用アンプを介して入出力バスラインに読み出す回路系が、同一サイクルに複数の処理動作が行なわれるバイブライン方式、及び/又は、信号バスを複数並列に備えてなるプリフェッチ方式に従い構成され、前記入出力バスと出力バッファ回路との間に、先入れ先出し型の緩衝回路を挿入し、前記メモリセルからの読み

出しデータが前記緩衝回路に至るまでは、前記基準クロックに対して非同期で処理されるように構成されたことを特徴とする半導体メモリ。

【請求項20】バースト転送機能を備えた半導体メモリにおいて、

入力されたアドレス信号から基準クロック信号に基づき、内部カラムアドレスを生成し、プリデコードされたカラムアドレスをデコードを介してメモリセルアレイの選択線に接続されるメモリセルからデータをセンスアンプ及び読み出し用アンプを介して入出力バスラインに読み出す回路系が、同一サイクルに複数の処理動作が行なわれるパイプライン方式、及び/又は、信号バスを複数並列に備えてなるプリフェッチ方式に従い構成され、前記読み出し回路系と出力バッファ回路との間に、先入れ先出し型の緩衝回路を挿入し、前記緩衝回路への入力は内部データ入出力のタイミングに対応して第一のカウンタから生成される入力制御信号より制御され、前記緩衝回路からの出力はCAS（カラムアドレスストروب）レイテンシに基づくクロックに対応して第二のカウンタから生成される出力制御信号により制御される、ことを特徴とする半導体メモリ。

【請求項21】大きなCASレイテンシの場合には、パイプライン方式とプリフェッチ方式を併用し、前記基準クロックの2クロック毎に、偶奇両方の入出力バスのデータを、前記内部カラムアドレス信号を参照して出力順に前記緩衝回路に取り込み、

小さなCASレイテンシの場合には、前記基準クロック毎に内部カラムアドレス信号を参照して偶奇いずれかの入出力バスラインのデータを前記緩衝回路に取り込むように構成されたことを特徴とする請求項19又は20記載の半導体メモリ。

【請求項22】前記入出力バスが相補型信号を伝送するように構成され、前記緩衝回路が論理「1」及び「0」の他に「Hi-Z状態」を保持出力するように構成されたことを特徴とする請求項19から21のいずれか一に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリに関し、特にバーストモードを具備した高速半導体メモリの読み出し方式に関する。

【0002】

【従来の技術】近年、CPUと主記憶に用いるDRAM（ダイナミック・ランダム・アクセス・メモリ）の速度差が問題となっている。飛躍的に高速化したCPUの要求に対して、速度の改善が少ないDRAMは答えられない（即ち速度差に対応できない）。このため、高速なCPUを用いたコンピュータシステムでは、主記憶（メインメモリ）のメモリ容量と比較して少容量ではあるが、高速なキャッシュメモリをCPUチップ内または外付け

にて接続し、この速度差を吸収する。

【0003】キャッシュメモリは主記憶のうち一部のデータのコピー（写し）を保持している。このデータのコピーは連続したアドレスを持つ複数のデータを単位とし、この単位を「ページ」と呼ぶ。

【0004】CPUは通常キャッシュメモリに対してアクセスを行う。そして、キャッシュメモリ内に所望するデータがないときには主記憶から新たに所望するデータをキャッシュメモリにコピーする。この際、コピーはページ単位で行われる。

【0005】このため、このようなシステムの主記憶を構成するメモリ素子には、キャッシュメモリに対し連続したアドレスを持つデータ列を高速に入出力できる機能をもつことが要求される。

【0006】この場合、メモリにおいて、先頭アドレスを指定するのみで、これを含むデータ列を外部から入力される基準クロック信号に同期して入出力する方法が採用されている。これを「バースト転送」といい、1つのアドレスを指定することにより入出力されるデータ列の長さを「バースト長」と呼ぶ。バースト転送を行うメモリの典型的な例としてシンクロナスDRAMがある。

【0007】通常、汎用DRAM（ファストページモードを持つDRAM）は、アドレスを指定してからデータが外部に出力されるまでの間、すなわち、アドレスアクセス時間が高速なもので20ns（=50MHz）程度である。

【0008】シンクロナスDRAMにおいては、1つのデータの処理に掛かる時間は、基本的には汎用DRAMと同一であるが、内部の処理を多重化し、複数のデータを同時に内部処理することにより、1データ当たりの見かけ上の処理時間を短縮し、入出力を高速化して100MHz以上の速度を得ることを可能としている。このときのデータ入出力の周波数、すなわち基準クロックの周波数を「バースト転送周波数」という。

【0009】ただし、シンクロナスDRAMも汎用DRAMも、基本的に、アドレスアクセス時間は同一、すなわち、1つのデータに注目すれば、内部処理時間は汎用DRAMと基本的に同一であるため、読み出し指示のコマンド入力からデータ出力までは通常複数の基準クロック周期を要する。

【0010】読み出し指示のコマンド入力のクロックから、出力データが外部に出力されるまでの基準クロックのクロック数を「/CAS（カスパー）レイテンシ」と呼ぶ（なお、記号「/」は反転を示し、この場合CASがLowアクティブであることを示している）。

【0011】シンクロナスDRAMでは、通常、「モードレジスタ」と呼ばれる動作条件設定用の記憶回路を具備しており、外部から入力される所定のモードレジスタセットコマンドにより、/CASレイテンシ等を設定することができる。

【0012】外部から/CASレイテンシが設定できるようにしているのは、そのシンクロナスDRAMの最高バースト転送周波数の基準クロックで、他の回路または基板配線が動作しないために、シンクロナスDRAMのバースト転送周波数、すなわち基準クロックの周波数を下げて使用する場合、基準クロック周期と/CASレイテンシとの関係がアドレスアクセス時間を満足する範囲で、/CASレイテンシを低くすることによって、1番目のデータの出力までの時間を短くできるからである（基準クロック周波数が低い場合には、/CASレイテンシを大きくする必要がない。逆に、アドレスアクセス時間が一定の条件下で、最高バースト転送周波数を高めるためには、/CASレイテンシを大きくする必要がある）。

【0013】ところで、内部処理の多重化の従来の技術として、パイプライン方式とプリフェッチ方式とがある。

【0014】図17は、従来の典型的なパイプライン方式の読み出し動作を説明するためのタイミング図である。図17には、パイプラインのステージ数は「4」とされ、/CASレイテンシは「4」、バースト長は「4」の読み出しを2回行う場合のタイミング波形の一例が示されている。

【0015】パイプライン方式は、内部の一連の処理をいくつかのステージに分割し、1つのデータに関する情報を各ステージで基準クロックに従い順次処理する。

【0016】図17に示す従来例では、内部カラムアドレスYADDを生成する第1のステージ、内部カラムアドレスYADDをプリデコードしてプリデコードカラムアドレス信号PYADDを生成する第2のステージ、信号PYADDで指定されるアドレスのデータをデータ入出力線IOBUSに読み出す第3のステージ、及びデータ入出力線IOBUS上のデータをDQピンからチップ外部に出力する第4のステージの計4ステージからなる4段パイプライン方式である。

【0017】すなわち、基準クロックICLK（外部クロック信号CLKから生成される内部クロック）のサイクルT1～T2において、内部カラムアドレスYADD信号を生成するための第1のステージで処理された第1のデータのアドレスAa0（入力されたアドレス信号ADD参照）は、基準クロックICLKの次のサイクルT2～T3において第2のステージで処理される。それと同時に第2のデータのアドレスAa1は第1のステージで処理される。各ステージは並列に同時にその処理動作が行われるため、ステージ数分のデータが並列処理されることになる。

【0018】各ステージはそれぞれ基準クロックICLKにより制御されているので、複数のデータに関する情報が1つのステージに同時に存在することはなく、結果として、各データは内部で衝突することなく基準クロック

ICLKに同期して出力される。

【0019】図18は、従来のプリフェッチ方式の読み出し動作を説明するためのタイミング図である。図18においては、並列数（プリフェッチ数）は「2」、/CASレイテンシは「3」、バースト長は「4」の読み出しを2回行う場合のタイミング波形図が示されている。

【0020】プリフェッチ方式は、内部処理を並列に行い、入出力でデータをプリフェッチし、パラレル→シリアル変換を行う。すなわち、データの内部処理の経路を複数設け、複数のデータに対し同一の処理を実質的に同時に行う。ただし、出力は同時には行い得ないため、それ以前に、同時処理された複数のデータに対しパラレル→シリアル変換を施し、シリアルデータを順次基準クロックに従い出力する。

【0021】すなわち、変換後のデータを出力するには、変換前の並列数と同じだけの基準クロック数を要する。従って、パラレル→シリアル変換前の処理は並列数と同じだけの基準クロック数で行えば、データを間断なく出力することができる。

【0022】図18を参照して、基準クロックICLKをT1～T3の2サイクルで、外部アドレスADDの取り込みから、データ入出力線IOBUSへのデータ読み出しを行っている。このとき、読み出されるデータはDa0、Da1の2ビットであり、このうち、データDa0は基準クロックのT3～T4のサイクルで外部に出力され、データDa1はT4～T5のサイクルで外部に出力される。

【0023】

【発明が解決しようとする課題】上記の如く、シンクロナスDRAM等、バースト動作を行なうメモリのバースト転送周波数の最高動作周波数を上げるための方式として、パイプライン方式とプリフェッチ方式がある。

【0024】そして、パイプライン方式において、最高バースト転送周波数を向上させるためには、パイプラインのステージ数を増し、各ステージの処理を短縮して、並列度を上げるようにしている。ただし、DRAM内部の処理の関係で、各ステージを区切れる箇所は限られている。また、最小基準クロック周期は、最も時間の掛かるステージに合わせなければならない。さらに、各ステージ間を接続する回路でのオーバーヘッドも増加するため、事実上ステージ数は3～4程度に制限される。すなわち、データの多重度も3～4に制限される。

【0025】また、プリフェッチ方式で最高バースト転送周波数を向上させるには、並列に処理するデータの数を増加させる。このためには、同一の回路が並列分だけ必要とされ、回路規模が大きくなり、これを実現するためにはチップ面積が増大する。

【0026】また、プリフェッチ方式では、データの入出力は並列分を単位として行われなければならない。並列分を下回る単位のデータの入出力はできない。

【0027】このため並列度を上げると機能上の自由度が低下し、これを用いたコンピュータシステムの性能低下を招く。これらの理由により並列度つまり多重度は2程度に制限される。

【0028】このように、上記2方式はどちらもデータの多重度を上げることにより、高速化することができるが、それぞれの理由により多重度には限界がある。すなわち、最高バースト転送周波数に限界がある。

【0029】従って、本発明は上記問題点を解消し、バーストモードにおいて高速な読み出し動作を実現する半導体記憶装置を提供することを目的とする。

【0030】

【課題を解決するための手段】前記目的を達成するため、本発明は、基準クロックの入力回路と、前記基準クロックに同期して外部入力信号をラッチする入力バッファ回路と、前記基準クロックに同期して記憶データを外部に出力する出力バッファ回路と、を備え、前記入力バッファ回路と前記出力バッファ回路とが、同一の記憶データの処理に関して、前記基準クロックのそれぞれ異なるエッジにより動作するように構成されたことを特徴とする半導体メモリを提供する。

【0031】本発明に係る半導体メモリにおいては、好ましくは、前記外部入力信号に応じて前記記憶データの読み出しを行う回路系であって、前記出力バッファ回路を除いてなる内部読み出し回路系が、前記入力バッファ回路が動作するエッジに基づいてのみ動作することを特徴とする。

【0032】また、本発明に係る半導体メモリにおいては、好ましくは、前記内部読み出し回路により読み出された前記記憶データを前記出力バッファが出力するまで一時的に蓄える緩衝回路を、前記内部読み出し回路系と、前記出力バッファ回路との間に備えたことを特徴とする。

【0033】さらに、本発明に係る半導体メモリにおいては、好ましくは、前記緩衝回路が、入力制御信号によりデータの入力が制御されると共に、出力制御信号によりデータの出力が制御される記憶回路を複数並列に接続してなることを特徴とする。

【0034】すなわち、本発明のデータの読み出し方式では、データの出力制御を一括して行う緩衝回路を内部読み出し回路系とデータアウトバッファとの間に挿入し、読み出し時、データは緩衝回路に至るまでは、基準クロックに対し非同期で処理される。

【0035】

【発明の実施の形態】図面を参照して、本発明の実施の形態を以下に説明する。

【0036】

【実施形態1】図1は、本発明の第1の実施形態の構成を示すブロック図である。図2は、図1に示した本発明の第1の実施形態の構成を示すブロック図のうち、ファ

ーストインファーストアウト(FIFO)バッファの構成を示す回路図である。また、図3ないし図5は本発明の第1の実施形態の動作を説明するためのタイミング図である。

【0037】図1ないし図5を参照して本実施形態の構成を以下に説明する。なお、本実施形態ではカラムアドレスY0~Y8、最高バースト長「8」、最高/CASレイテンシ「5」で説明を行うが、これらが変化しても方式的には変化なく対応する。また、バンク数、DQ数(入出力ビット数)には特に言及しないが、これらは本方式には影響しない。

【0038】図1を参照して、内部クロック発生回路(CGEN)101は、外部から入力される基準クロック信号CLKとクロックイネーブル信号CKEから内部基準クロック信号ICLKを生成する。基準クロック信号CLKの立ち上がりエッジ入力時にCKE信号がロウ(Low)であった場合(例えばサイクルT6)、図4に示すように次サイクル(例えばサイクルT7)のCLK信号に対応するICLK信号は生成されない。

【0039】コマンドデコーダ(CDEC)102は、内部基準クロック信号ICLKのクロックエッジに基づき、外部コマンド信号/RAS(ラスバー)、/CAS(カスバー)、/WE(ライトイネーブルバー)および/CS(チップセレクトバー)を取り込み、これらの組み合わせにより外部から与えられるコマンドをデコードし、それぞれのコマンドに対応する内部信号を発生する。シンクロナスDRAMにおいては、コマンドは活性化コマンド等数種類存在するが、図1には、本発明に係る、読み出し/書き込みコマンドに対応するRW信号、モードレジスタセットコマンドに対応するMDRS信号のみが図示されている。

【0040】バーストカウンタ(BCNT)103は、外部からの読み出しコマンド、あるいは書き込みコマンドが与えられ、コマンドデコーダによりRW信号が生成された場合、バースト期間信号PENを発生する。そして、カウンタを初期化し、以降の内部基準クロックICLKによりカウンタを動作させ、バースト期間中(バースト長分のICLKサイクル数の期間)はPEN信号を出力し続ける。

【0041】内部カラムアドレス発生回路(YBUF)104は、読み出し/書き込みコマンド入力時には、これと同時に入力される外部カラムアドレスADD信号を取り込み、これと同一の値を内部カラムアドレスYADD信号として発生し、以降バースト期間中は基準クロックICLKのエッジの入力により、このICLKサイクルに対応する内部カラムアドレスYADDを各々発生する。

【0042】カラムアドレスプリデコーダ(PYDEC)105は、内部カラムアドレスYADDから、数組のプリデコードされたカラムアドレスPYADDを発生す

る。

【0043】MARR(メモリセルアレイ)120はDRAMコアである。カラムアドレスPYADDによって指定されたカラム選択線YSWが活性化され、これに接続されるセンスアンプ(SA)に読み出されている所望のメモリセルのデータをリードアンプ(RAMP)113を経てデータ入出力線(IOBUS)112に読み出す。

【0044】FIFOバッファ106は、基準クロック同期出力制御用のFIFO(先入れ先出し型)バッファである。

【0045】本実施形態に係るチップでは、アクセスタイムの高速化のため、コマンド入力以降ここまでの処理を完全に基準クロックに非同期で行っている。しかし、出力制御は基準クロック同期なので、このFIFOバッファによりクロックサスペンド等により起こされるデータの追突を解決する。

【0046】図2に、FIFOバッファ106の回路構成を示す。図2を参照して、FIFOバッファは4個のレジスタREG0〜REG3から成る。

【0047】本実施形態の最高/CASレイテンシが「5」なので、最高4個の未出力データを保持できればよい。なぜなら、これ以上のデータをMARR120から読み出すために基準クロックを入力すれば、チップ外へのデータの出力が必ず行われ、結局、出力されたデータの保持の必要がなくなり、この保持に使用していたレジスタをMARR120から新たに読み出されてきたデータの保持に使用すればよいからである。

【0048】それぞれのレジスタはフリップフロップ回路で構成され、1つの入力端子と1つの出力端子を持つ。そして、それぞれの入力端子は同一のデータ入出力線(IOBUS)112に接続され、入力端子はFIFOバッファデータラッチ選択線DSELによって制御され、活性化されたDSEL信号によって制御されるレジスタのみにIOBUSのデータがラッチされる。

【0049】また、それぞれの出力端子は同一のデータアウトバッファ(DOUT)110に接続され、出力端子はFIFOバッファ出力制御線OSELによって制御され、活性化されたOSEL信号により制御されるレジスタのみがFIFOバッファ106からのデータ出力を行う。

【0050】図1を参照して、FIFOバッファ入力制御用カウンタ(DCNT)107はFIFOバッファ106のそれぞれのレジスタの入力を制御する。DCNT107はFIFOバッファ106のレジスタ数と同じ数の状態を持つサイクリックカウンタであり、内部基準クロックICLKに同期し、0→1→2→3→0→…の値をとる。そして、それぞれの値に対応するDSEL信号を活性化する。したがって、FIFOバッファ106においてはDCNT107の値が指し示しているレジスタのデータ入出力線(IOBUS)112の入力が開く。

【0051】FIFOバッファ出力制御用カウンタ(OCNT)108はFIFOバッファ106のそれぞれのレジスタの出力を制御する。OCNT108もまたFIFOバッファ106のレジスタ数と同じ数の状態を持つサイクリックカウンタであり、内部基準クロックICLKに同期し、0→1→2→3→0→…の値をとる。そして、それぞれの値に対応するOSEL信号を活性化する。したがって、FIFOバッファ106においてはOCNT108の値が指し示しているレジスタの値がFIFOから出力される。

【0052】DCNT107とOCNT108は全く独立に動作する。

【0053】タイミング発生回路(TG)109は、RW信号、PEN信号等を参照して内部基準クロックICLKから、メモリセルアレイ(MARR)120から読み出されてくるデータに合わせて(位相を適合させて)、リードアンプ(RAMP)113、DCNT107等の回路の動作タイミング信号を生成する。

【0054】データアウトバッファ(DOUT)110はFIFOバッファ106から出力されたデータをチップ外部に出力する出力バッファ回路である。

【0055】データインバッファ(DIN)111は、書き込み動作時外部から入力されるデータをラッチし、データ入出力線(IOBUS)112に出力する入力バッファ回路である。

【0056】図面を参照して、本実施形態の動作の説明を行う。外部からの入力信号は、公知の一般的なシンクロナスDRAMと同一である。

【0057】図3は、クロックイネーブル信号CKEによるクロックサスペンド(CKE信号をロウレベルにすることにより、次サイクルの基準クロック信号CLKを無効とし、このCLKに対応する内部基準クロック信号ICLKの生成をせず、従って、CLKに対応する内部動作を全て行わないこと)を行わず、/CASレイテンシ「5」、バースト長「4」で、読み出しコマンドを4CLK毎に2回入力した場合の動作を示している。

【0058】また、図4はクロックサスペンドを行い、他の条件は図3に示した動作と同一の場合、さらに図5はモードレジスタセットコマンドを入力した場合の動作を示すタイミング図である。

【0059】外部基準クロック信号CLKと、CLK信号を有効とするためのクロックイネーブル信号CKEが外部から与えられる。内部クロック生成回路(CGEN)101によってこれらの信号から内部基準クロック信号ICLKが生成される。

【0060】図4に示す通り、外部基準クロック信号CLKが外部から与えられても、クロックイネーブル信号CKEが与えられない限り、内部基準クロック信号ICLKは生成されないで、たとえ外部基準クロック信号CLKが一定周期で与えられても、内部基準クロック信

号ICLKが一定周期になるとは限らない。内部クロック生成回路(CGEN)101以外の他の回路群は外部基準クロック信号CLKではなく、内部基準クロック信号ICLK信号によって動作する。

【0061】外部コマンド信号群(／RAS、／CAS、／WE、／CS)が外部から与えられる。図3、図4、および図5では、4つの信号をまとめて示してある。

【0062】READは読み出しコマンド入力を表し、実際には／RASがハイレベル、／CASがロウレベル、／WEがハイレベル、また、／CSがロウレベルである。

【0063】また、RESETはモードレジスタセットコマンド入力を表し、実際には／RASがロウレベル、／CASがロウレベル、／WEがロウレベル、また、／CSがロウレベルである。

【0064】各信号は内部基準クロックICLKのクロックエッジに基づいて内部に取り込まれ、それぞれの組み合わせによるコマンドが解読される。

【0065】モードレジスタセットコマンドが入力された場合にはMDRS信号、読み出しコマンドまたは書き込みコマンドが入力された場合にはRW信号が生成される。

【0066】外部アドレス信号ADDが外部から与えられる。読み出しコマンド入力時のADD信号のAa0はバースト先頭データのアドレスを示している。

【0067】読み出しコマンド入力によりRW信号が生成された場合には、カラムアドレスバッファ回路(YBUF)104により外部アドレス信号ADDがラッチされ、内部カラムアドレス信号YADDを生成する。

【0068】このときの内部カラムアドレス信号YADDの値は外部アドレス信号ADDの値と同一であり、バースト先頭データのアドレスを示している。

【0069】バーストカウンタ(BCNT)103がリセットされることにより、この内部基準クロック信号ICLKのサイクルがバースト動作の先頭であることが認識され、以降のICLK信号のバースト長分のサイクルの間、バーストイネーブル信号PENが生成される。

【0070】以降のPEN信号有効期間中には、カラムアドレスバッファ回路(YBUF)104は、ICLK信号に基づき、バースト2ビット目以降の内部カラムアドレス信号YADDとしてAa1、Aa2、…、を生成する。

【0071】生成された内部カラムアドレス信号YADDは、カラムアドレスデコーダ(PYDEC)105によってアドレスデコードされ、数組のアドレスデコードカラムアドレス信号PYADDが生成される。

【0072】アドレスデコードカラムアドレス信号(PYADD)はカラムデコーダ(YDEC)121に入力され、カラム選択線YSWを活性化する。

【0073】この結果所望のアドレスを持つメモリセルの接続されたセンスアンプ(SA)からデータDa0等がリードアンプ(RAMP)113によって増幅されデータ入出力線(IOBUS)112に読み出される。

【0074】ここまでのデータバスの制御は、バースト先頭のデータに関しては、すべてコマンド入力時の内部基準クロック信号ICLKのエッジのみに基づき、またバースト2ビット目以降のデータに関しては、コマンド入力時以降の対応する内部基準クロック信号ICLKのエッジのみに基づき行われる。

【0075】すなわち、コマンドが入力されてからデータ入出力線(IOBUS)112にデータが出力されるまで、何サイクルの基準クロックが入力されようとも(／CASレイテンシを超えない限り)、データ制御には無関係である。

【0076】従って、本実施形態においては、読み出し制御方式のうち、以上説明した部分については、／CASレイテンシには全く依存しない。

【0077】また、本実施形態においては、内部処理を、内部基準クロック信号ICLKに同期させるための手段もデータバスには全く挿入されていない。

【0078】しかしながら、本実施形態においては、ある1つの時間(サイクルタイム)で複数のデータに関する情報を処理していることからパイプライン方式である。

【0079】従って、内部基準クロック信号ICLKの周波数が高くなると、内部処理のある部分で前のデータの処理終了前に次のデータがやってくる場合がある。たとえば、データ入出力線(IOBUS)112に出力されるデータが確定しない時間にPYADDが次のデータのアドレスに変化する場合等である。

【0080】この場合には誤動作を起こすことになるが、前記従来例においてもこれらの条件の場合には誤動作を起こすので、本実施例の欠点にはならない。むしろ、従来例のステージ間の内部基準クロック信号ICLK同期動作に対する、オーバーヘッドがない分最高動作周波数を高くできる。

【0081】データ入出力線(IOBUS)112に読み出されたデータは、後述の適当な手段によってタイミング発生回路(TG)109により制御されたFIFOバッファ入力制御用カウンタ(DCNT)107が示しているFIFOバッファ106のレジスタに取り込まれる。

【0082】レジスタに取り込まれたデータは、これを読み出すために入力された内部基準クロック信号ICLKのクロックエッジから(／CASレイテンシ-1)サイクル後のエッジに基づくOSEL信号によってデータアウトバッファ(DOUT)110に送られる。

【0083】以下にDCNT107およびOCNT108によるFIFO106の制御について説明する。

【0084】DCNT107およびOCNT108は、モード

レジスタセットコマンドが入力されるICLK信号を基準として初期化される。モードレジスタコマンドはシンクロナスDRAMの初期化および動作モードの設定を行うコマンドであり、すべての動作に先んじて入力されることが保証されている。

【0085】図5に示すように、時間(サイクル)T1においてモードレジスタセットコマンドが入力された場合、これを取り込むICLKのエッジから一定時間のディレイを経てDCNT107は一定の値(ここでは「0」)に設定される。この一定時間ディレイは、後述する読み出し(Read)コマンドが入力された場合にこれを取り込む内部基準クロック信号ICLKのエッジから、これに基づきMARR120からデータ入出力線(IOBUS)112に読み出されるデータをFIFO106に取り込むためDCNT107がカウントアップされる時間と実質的に同じに設定される。

【0086】また、モードレジスタセットコマンドを取り込む内部基準クロック信号ICLKのエッジから、(／CASレイテンシー-1)のサイクル数後、時間T4にOCNT108がDCNT107の初期値と同じ値(ここでは「0」)に設定される。

【0087】(／CASレイテンシー-1)のサイクル数は、図3に示すように、読み出しコマンドが入力された場合にこれを取り込む時間T1のICLKのエッジから、これに基づきMARRから読み出されるデータをFIFO106から出力するために時間T5にOCNT108がカウントアップされるサイクル数と同じである。

【0088】従って、この初期化が終了した時点でDCNT107とOCNT108の関係は、初期化に使用した内部基準クロック信号ICLKのクロックエッジで読み出しコマンドが時間T1に入力された場合と仮定した場合、これによってMARR120から読み出されたデータはREG0に取り込まれ、読み出しコマンド入力から(／CASレイテンシー-1)サイクル後、時間T5に出力されることになる。

【0089】これ以降、DCNT107およびOCNT108は内部基準クロックICLKの入力によりカウントアップされる。

【0090】この際、DCNT107は、データ入出力線(IOBUS)112の値を取り込むように、内部基準クロック信号ICLKから所定のディレイ(遅延)を経たタイミングでカウントアップが行われる。

【0091】また、OCNT108は(／CASレイテンシー-1)サイクル後にデータが出力されるように、DCNT107をカウントアップする内部基準クロック信号ICLKのクロックエッジから(／CASレイテンシー-1)サイクル後のクロックエッジによって、カウントアップが行われる。

【0092】このような制御により、図4に示すように、モードレジスタセットコマンド入力後は、外部基準

クロック信号CLK信号の周波数変化、クロックイネーブル信号CKEによるクロックサスペンドの有無に依らず、それぞれのデータに対して初期化時点の関係を保持する。

【0093】図4において、時間T1における読み出しコマンド入力によってメモリセルアレイ(MARR)120より読み出されたデータDa0はDSEL0信号により、FIFOバッファ106のレジスタREG0に取り込まれ、時間T5におけるクロック信号CLKのクロックエッジ入力を基にOSEL0信号により外部に出力される。

【0094】さらに、時間T7におけるクロックイネーブル信号CKEのロウ(Low)入力によるクロックサスペンドによって、時間T2のクロックエッジにより読み出されるデータDa1をチップ外部で使用する時間がT7からT8に1サイクルのびるが、OSEL1からOSEL2への切り替わりもT7からT8に、クロックサスペンドをしない場合に比較して1サイクル延びるため、正常に出力されている。

【0095】このとき、次のデータDa2がFIFOバッファ106に取り込まれるが、それは時間T3のクロックエッジを基とする制御なので、クロックサスペンドに関係なく、FIFOバッファ106のレジスタREG3に取り込まれ、データDa1と衝突することはない。

【0096】すなわち、常に1つのデータに対して、FIFOバッファ106の入力／出力共に同一のレジスタを使用し、正しいデータフロー制御が行われることが保証される。したがって、FIFOバッファ106のレジスタ選択に関し読み出しコマンド入力に起因する制御系は全く存在しない。

【0097】このため、適当な内部基準クロック信号ICLKの周波数および／CASレイテンシが与えられたアクセスタイムの限界では、データ入出力線(IOBUS)112のデータおよび同一レジスタのDSELとOSELが重なり合ったタイミングとなる。

【0098】このとき、データはFIFOバッファ106中を単純に通過しデータ出力バッファ(DOUT)110に達する。このため、データ出力を外部基準クロック信号CLKに同期させるための、アドレスアクセス時間に対するオーバーヘッドはデータがFIFOバッファ106内を通過する際の遅延のみであり、非常に短い。

【0099】この後、FIFOバッファ106から出力されたデータは、データ出力バッファ(DOUT)110によりチップ外部に出力され、一連の読み出し動作を終了する。そして、外部ではデータを読み出すために入力した内部基準クロック信号ICLKのクロックエッジから／CASレイテンシ後のクロックエッジのタイミングで、このデータを使用することになる。

【0100】以上説明してきたように、本実施形態は、データパスに関しては最小限の回路を挿入するのみであ

り、また、必要のない場合には、データの進行を止める機構も具備していることから、パイプライン動作をしているにも関わらず、これによるアドレスアクセス時間に対するオーバーヘッドがほとんどない、高速度読み出し方式が実現される。

【0101】さらに、/CASレイテンシ等により境界制御のタイミングを変化させる必要がなく、どの/CASレイテンシにおいてもICLK信号の最高周波数は純粋にDRAMコア部分の動作周波数のみであり、最高バースト転送周波数も上げられる。また、以上の理由により回路も簡略化され、チップ面積も減少する。

【0102】本実施形態では、FIFOバッファ制御の初期化をモードレジスタセットコマンドの入力によって行っているが、読み出しコマンド入力以前に必ず発生する動作、例えば電源投入、活性化コマンド入力等によって行っても問題ない。

【0103】

【実施形態2】図6は、本発明の第2の実施形態の構成を示すブロック図である。図7は、図6に示す本発明の第2の実施形態を示すブロック図のうち、ファーストインファーストアウト(FIFO)バッファの構成を示す回路図である。また、図8および図9は、本発明の第2の実施形態の動作を説明するためのタイミング図である。

【0104】以下、図面を参照して本実施形態の構成を説明する。なお、本実施形態ではカラムアドレスY0～Y8、最高バースト長18、最高/CASレイテンシ15、プリフェッチ数12にて説明を行うが、これらが変化しても方式的には変化なく対応する。また、バンク数、DQ数(入出力ビット数)には言及しないが、これらは本方式には影響しない。

【0105】図6を参照して、内部クロック発生回路(CGEN)101は外部から入力される基準クロック信号CLKとクロックイネーブル信号CKEから内部基準クロック信号ICLKを生成する。外部基準クロック信号CLKの立ち上がりエッジ入力時にクロックイネーブル信号CKEがロウ(Low)であった場合、図9に示すように次サイクルのCKL信号に対応する内部基準クロック信号ICLKは生成されない。

【0106】コマンドデコーダ(CDEC)102は、内部基準クロック信号ICLKのクロックエッジに基づき、外部コマンド信号/RAS(ラスバー)、/CAS(カスバー)、/WE(ライトイネーブルバー)および/CS(チップセレクトバー)を取り込み、これらの組合せにより外部から与えられるコマンドをデコードし、それぞれのコマンドに対応する内部信号を発生する。シンクロナスDRAMにおいては、コマンドは活性化コマンド等、数種類存在するが、ここでは本発明に係るもの、読み出し/書き込みコマンドに対応するRW信号、モードレジスタセットコマンドに対応するMDRS信号

のみが図示されている。

【0107】バーストカウンタ(BCNT)103は、外部から読み出しコマンド、あるいは書き込みコマンドが与えられ、コマンドデコーダによりRW信号が生成された場合、バースト期間信号PENを発生する。そして、カウンタを初期化し、以降の内部基準クロック信号ICLKによりカウンタを動作させ、バースト期間中(バースト長分の内部基準クロック信号ICLKサイクル数の期間)はPEN信号を出力し続ける。

【0108】内部カラムアドレス発生回路(YBUF)104は、読み出し/書き込みコマンド入力時には、これと同時に入力される外部カラムアドレス信号ADDを取り込み、これと同一の値を内部カラムアドレス信号YADDとして発生し、以降バースト期間中は内部基準クロック信号ICLKの2サイクル毎に対応して内部カラムアドレス信号YADDを発生する。したがって、ここでは、図8に示すように、読み出しコマンドを取り込む内部基準クロック信号ICLKのエッジを1番目とした場合、バースト出力されるデータのアドレスのうちAa0、Aa2、…、すなわち奇数番目の内部基準クロック信号ICLKのエッジに対応する内部カラムアドレス信号YADDは発生するが、Aa1、Aa3、…、すなわち偶数番目の内部基準クロック信号ICLKのエッジに対応する内部カラムアドレス信号YADDは発生せず、直前の奇数番目の内部基準クロック信号ICLKのエッジに対応した内部カラムアドレス信号YADDの値を保持する。従って内部カラムアドレス信号YADD発生以降のアドレス系信号の動作は内部基準クロック信号ICLK2サイクルを1単位として行われる。

【0109】カラムアドレスプリデコーダ(PYDEC)105は、内部カラムアドレス信号YADDから、数組のプリデコードされたカラムアドレスPYADDを発生する。この際、内部カラムアドレス信号YADDで示されるバースト奇数番目のデータのアドレスAa0等と、これの次に出力されるバースト偶数番目のデータのアドレスAa1等を同時に発生する。双方の値の組み合わせはバースト長およびバーストモードにより変化するが、シンクロナスDRAMのバースト出力される一連のデータのアドレス順は常に奇数/偶数が交互になるため、一方が偶数、他方が奇数の関係となる。

【0110】したがって、8ビットバーストまでを実現するのに必要な下位3ビットY0/1/2をプリデコードした結果の2の3乗つまり8本のプリデコードされたカラムアドレス信号PYADDの中から、偶数アドレス(Y0=0、PYADD(E))の4本のうち1本、奇数アドレス(Y0=0、PYADD(O))の4本のうち1本、奇数アドレス(Y0=1、PYADD(O))の4本のうち1本、計2本が同時に選択される。Y0/1/2を含まない他のアドレスビットは、バースト偶数

番目と奇数番目で同一であるため、プリデコードカラムアドレス信号PYADDも共通でかまわない。

【0111】メモリセルアレイ(MARR)はDRAMコアである。これは各々のバンクおよびDQに対して偶数カラムアドレスサブアレイMARR(E)120-1と奇数カラムアドレスサブアレイMARR(O)120-2に分けられる。

【0112】MARR(O)120-2は全て奇数カラムアドレス(Y0=1)を持つメモリセルで構成され、MARR(E)120-1は全て偶数カラムアドレス(Y0=1)を持つメモリセルで構成される。

【0113】カラムアドレスプリコーダ(PYDEC)105で同時に生成された偶/奇数のプリデコードアドレスPYADDによって、偶奇それぞれのMARR120-1、120-2のカラム選択線YSWが同時に活性化され、これらに接続されるセンスアンプSAに読み出されている所望のメモリセルのデータを、偶数カラムアドレス用データ入出力線IOBUS(E)112-1および奇数カラムアドレス用データ入出力線IOBUS(O)112-2にそれぞれのリードアンプ(RAMP)113-1、113-2を介して同時に読み出す。

【0114】したがって、DRAMコア全体では1回の読み出し動作で1DQあたり2つのデータが同時に並行して読み出される。したがって、内部基準クロック信号ICLK2サイクルで上記動作を行えば、間断なくデータ出力を行うためのデータ読み出しが行える。

【0115】FIFOバッファ106は基準クロック同期出力制御用のFIFOバッファである。本実施形態ではアクセスタイムの高速化のため、コマンド入力以降こまでの処理を完全に基準クロックに非同期で行っている。しかし、出力制御は基準クロック同期なので、このFIFOバッファ106によりクロックサスペンド等により起こされるデータの追突を解決する。

【0116】また、このFIFOバッファ106は本実施形態では、プリフェッチ動作に必要なパラレル-シリアル変換の機能も兼ねる。

【0117】図7にFIFOバッファ106の構成を示す。

【0118】図7を参照して、FIFOバッファは5個のレジスタREG0~REG4から成る。本実施形態の最高/CASレイテンシが「5」なので、プリフェッチ動作を考慮しなければチップ内には最高4個の未出力データを保持できればよい。なぜなら、これ以上のデータをMARRから読み出すために基準クロックを入力すれば、/CASレイテンシとの関係からチップ外部へのデータの出力が必ず行われ、結局、出力されたデータの保持の必要がなくなり、この保持に使用していたレジスタを、MARRから新たに読み出されてきたデータの保持に使用すれば良いからである。

【0119】但し、本実施形態では2ビットプリフェッ

チ動作を行うため、全てのレジスタに保持すべきデータが入っているにも関わらず、1つのデータ出力を行う内部基準クロック信号ICLK入力のために、MARR120-1、120-2から2つのデータが読み出されてくる場合がある。このため、さらに1つのレジスタが追加されている。

【0120】各々のレジスタREG0~REG4はフリップフロップで構成され、2つの入力端子と1つの出力端子を持つ。各々のレジスタの2つの入力端子のうち、一方は偶数カラムアドレス用データ入出力線IOBUS(E)112-1に接続され、他方は奇数カラムアドレス用データ入出力線IOBUS(O)112-2に接続され、入力端子はFIFOバッファデータラッチ選択線DSELによって制御され、活性化されたDSEL信号によって制御されるレジスタのみに、接続された側のIOBUSのデータがラッチされる。

【0121】また、各々の出力端子は、同一のデータアウトバッファ(DOUT)110に接続され、出力端子はFIFOバッファ出力制御線OSELによって制御され、活性化されたOSEL信号により制御されるレジスタのみがFIFOバッファ106からのデータ出力を行う。

【0122】DCNT107は、FIFOバッファ106の各々のレジスタの入力を制御する。DCNT107はFIFO106のレジスタ数と同じ数の状態を持つサイクリックカウンタであり、内部基準クロック信号ICLK信号に同期し、0→1→2→3→4→0→…の値をとる。

【0123】そして、内部カラムアドレスYADDが偶数の場合、DCNT107の値が指し示しているレジスタのIOBUS(E)側入力を制御するDSELと、DCNTの値+1が指し示しているレジスタ、若しくはDCNTが4の場合には0番のレジスタのIOBUS(O)側入力を制御するDSELを活性化する。内部カラムアドレスYADDが奇数の場合には、上記の各々のレジスタのそれぞれ他方のIOBUS側の入力を制御するDSELを活性化する。

【0124】OCNT108は、FIFOバッファ106の各々のレジスタの出力を制御する。OCNT108もまた、FIFOのレジスタ数と同じ数のレジスタ数と同じ数の状態を持つサイクリックカウンタであり、内部基準クロック信号ICLK信号に同期し、0→1→2→3→4→0→…の値をとる。そして、各々の値に対応するOSEL信号を活性化する。したがって、FIFOバッファ106においてはOCNT108の値が示しているレジスタの値が出力される。

【0125】DCNT107とOCNT108はまったく独立に動作する。

【0126】タイミング発生回路(TG)109は、RW信号、PEN信号、YADD信号等を参照して内部基

準クロック信号ICLKからMARR (E) 120-1およびMARR (O) 120-2から読み出されてくるデータに合わせて、リードアンパ (RAMP) 113-1、113-2、D CNT107等の回路の動作タイミング信号を生成する。

【0127】データアウトバッファ (DOUT) 110はFIFOバッファ106'から出力されたデータをチップ外部に出力する出力バッファ回路である。

【0128】データインバッファ (DIN) 111は、書き込み動作時外部から入力されるデータをラッチし、データ入出力線IOBUS112-1、112-2に出力する入力バッファ回路である。

【0129】以下図面を参照して本実施形態の動作の説明を行う。外部からの入力信号は、公知の一般的なシンクロナスDRAMと同一である。

【0130】図8はクロックイネーブル信号CKEによるクロックサスペンド (CKE信号をロウレベルにすることにより、次サイクルの外部基準クロック信号CLKを無効とし、このCLKに対応する内部基準クロック信号ICLKの生成をせず、したがって、外部クロック信号CLKに対応する内部動作を全てしないこと)を行わず、/CASレイテンシ「5」、バースト長「4」で、読み出しコマンドを4CLK毎に2回入力した場合の動作を示している。

【0131】また、図9はクロックサスペンドを行い、他の条件は図8に示した動作と同一の動作を示している。

【0132】外部基準クロックCLK信号と、CLK信号を有効とするためのクロックイネーブルCKE信号が外部から与えられる。内部クロック生成回路 (CGEN) 101によってこれらの信号から内部クロック信号ICLKが生成される。

【0133】図9に示す通り、クロック信号CLKが外部から与えられても、クロックイネーブル信号CKEが与えられない限り、内部基準クロック信号ICLK信号は生成されないの、たとえ外部クロック信号CLKが一定周期で与えられても、内部基準クロック信号ICLK信号が一定周期になるとは限らない。他の回路群は外部クロック信号CLKではなく、内部基準クロック信号ICLK信号によって動作する。

【0134】外部コマンド信号群 (/RAS、/CAS、/WE、/CS) が外部から与えられる。図8および図9では、4つの信号をまとめて記してある。READは読み出しコマンド入力を表し、実際には/RASがハイレベル、/CASがロウレベル、/WEがハイレベル、また、/CSがロウレベルである。

【0135】各信号は内部基準クロック信号ICLKのクロックエッジに基づいて内部に取り込まれ、それぞれの組合せによるコマンドが解釈される。モードレジスタセットコマンドが入力された場合にはMDRS信号、読

み出しコマンドまたは書き込みコマンドが入力された場合にはRW信号が生成される。

【0136】外部アドレス信号ADDが外部から入力される。読み出しコマンド入力時の外部アドレス信号ADDの値Aa0は、バースト先頭データのアドレスを示している。

【0137】読み出しコマンド入力によりRW信号が生成された場合には、カラムアドレスバッファ回路 (YBUF) 104により外部アドレス信号ADDがラッチされ、内部カラムアドレス信号YADDを生成する。この時の内部カラムアドレス信号YADDの値は外部アドレス信号ADDの値と同一であり、バースト先頭データのアドレスを示している。

【0138】また、バーストカウンタ (BCNT) 103がリセットされることにより、この内部基準クロック信号ICLK信号のサイクルがバースト動作の先頭であることが認識され、以降の内部基準クロック信号ICLK信号のバースト長分のサイクルの間、バーストイネーブル信号PENが生成される。

【0139】以降のバーストイネーブル信号PENが有効期間中は、カラムアドレスバッファ回路 (YBUF) 104は、内部基準クロック信号ICLK信号に基づき、バースト奇数番目の内部カラムアドレス信号Aa2...を2サイクル毎に生成する。

【0140】生成された内部カラムアドレス信号YADDは、カラムプリデコード (PYDEC) 105によってプリデコードされ、数組のプリデコードカラムアドレス信号PYADDを生成する。

【0141】図8では2回の読み出しコマンド入力を行っている。時間T1における1回目の読み出しコマンドでは外部アドレス信号ADDが偶数Aa0の場合であり、プリデコードカラムアドレス信号PYADD (E) にバースト先頭のデータのアドレスAa0が出力され、プリデコードカラムアドレス信号PYADD (O) にバースト2番目のデータのアドレスAa1が出力されているのに対し、時間T5における2回目の読み出しコマンドでは外部アドレス信号ADDが奇数Ab0の場合であり、プリデコードカラムアドレス信号PYADD (O) にバースト先頭のデータのアドレスAb0が出力され、プリデコードカラムアドレス信号PYADD (E) にバースト2番目のデータのアドレスAb1が出力されている。

【0142】プリデコードカラムアドレス信号PYADDは、PYADD (E) はMARR (E) 120-1の、またPYADD (O) はMARR (O) 120-2のカラムデコード (YDEC) 121-1、121-2にそれぞれ入力され、各々のカラム選択線YSWを活性化する。

【0143】この結果、所望のアドレスを持つメモリセルの接続されたセンスアンパ (SA) からAa0のアドレスで指定されるデータDa0、Aa1のアドレスで指

定されるDa1がリードアンブ (RAMP) 113-1、113-2によって増幅され、それぞれデータ入出力線IOBUS (E) 112-1及びIOBUS (O) 112-2に読み出される。

【0144】ここまでのデータバスの制御は、バースト先頭及び2番目のデータに関しては、全てコマンド入力時の内部基準クロック信号ICLK信号のエッジのみに基づき、またバースト3ビット目以降のデータに関しては、コマンド入力時以降の対応するICLK信号の奇数番目のエッジのみに基づき行われる。

【0145】すなわち、コマンドが入力されてからデータ入出力線 (IOBUS) にデータが出力されるまで、何サイクルの基準クロックが入力されようと (CASレイテンシを越えない限り)、データ制御には無関係である。

【0146】したがって、制御方式のうち、以上説明した部分についてはCASレイテンシには全く依存しない。

【0147】また、出力を内部基準クロック信号ICLKに同期させるための手段もデータバスにはまったく挿入されていない。

【0148】したがって、内部基準クロック信号ICLKの周波数が高くなると、内部処理のある部分での前のデータの処理終了前に次のデータがやってくる場合がある。例えば、データ入出力線 (IOBUS) に出力されるデータが確定しない時間にPYADDが次のデータのアドレスに変化する場合などである。この場合には誤動作を起こすことになるが、前記従来例においてもこれらの条件の場合には誤動作を引き起こすので、これは本実施形態の欠点にはならない。

【0149】むしろ、本実施形態においては、前記従来例のステージ間の内部基準クロック信号ICLK同期動作に対する、オーバーヘッドが無い分だけ、周波数を高くできる。

【0150】データ入出力線IOBUS (E) 112-1およびIOBUS (O) 112-2に同時に読み出された2つのデータは、これの前に後述の適当な手段によってタイミング発生回路 (TG) 109により制御されたDCNT107' が示しているFIFOバッファ106' の2つのレジスタにそれぞれ取り込まれる。この時、2つのデータは出力される順番でFIFOに取り込まれる。

【0151】以下にDCNT107' およびOCNT107' によるFIFOバッファ106' の制御について説明する。

【0152】DCNT107' およびOCNT108の初期化手順に関しては前記第1の実施形態と同様とされる。

【0153】これ以降、DCNT107' およびOCNT108は内部基準クロックICLKの入力によりカウントアップされる。この際、DCNT107' は、データ入出力線 (IOBUS) の値を取り込むように、内部基準クロック信号ICLKから所定のディレイ (遅延) を経たタ

イミングでカウントアップが行われる。

【0154】但し、データ入出力線 (IOBUS) にデータが読み出されるのが内部基準クロック信号ICLK 2サイクルに1回なので、実際にDSEL信号が活性化されるのは、内部基準クロック信号ICLK 2サイクルに1回である。この時、偶奇のデータ入出力線IOBUS (E) 112-1、IOBUS (O) 112-2上の2つのデータは、後述する手順により、パラレル-シリアル変換を伴って、FIFOバッファ106' に取り込まれる。

【0155】また、OCNT108は、(CASレイテンシ-1) サイクル後にデータが出力されるように、DCNT107' をカウントアップする内部基準クロック信号ICLKのクロックエッジから (CASレイテンシ-1) サイクル後のクロックエッジによって、カウントアップが行われる。

【0156】この制御により、図9に示すように、モードレジスタセットコマンド入力後は、外部クロック信号CLKの周波数変化、クロックイネーブル信号CKEによるクロックサスペンドの有無に依らず、各々のデータに対して初期化時点の関係を保つ。

【0157】図9において、時間 (サイクルタイム) T1における偶数カラムアドレスAa0に伴う読み出しコマンド入力によってMARR (E) 120-1より読み出されたデータDa0 (偶数アドレス) はDSEL0 (E) 信号により、FIFOバッファ106' のレジスタREG0に取り込まれ、MARR (O) 120-2より読み出されたデータDa1 (奇数アドレス) はDSEL1 (O) 信号によりレジスタREG1に取り込まれる。

【0158】すなわち、Da0が先に出力される順番でFIFOバッファ内に取り込まれる。また、時間T5における奇数カラムアドレスAb0に伴う読み出しコマンド入力によってMARR (E) により読み出されたデータDb1 (偶数アドレス) はDSEL0 (E) 信号により、FIFOバッファ106' のレジスタREG0に取り込まれ、Db1 (奇数アドレス) はDSEL4 (O) 信号によりレジスタREG4に取り込まれる。すなわち、Db0が先に出力される順番でFIFOバッファ106' 内に取り込まれる。

【0159】Da0は時間 (サイクルタイム) T5におけるCLKのクロックエッジ入力を基にOSEL0信号により外部に出力され、Da0は時間T6における外部クロック信号CLKのクロックエッジ入力を基にOSEL1信号により外部に出力される。

【0160】また、時間T7におけるクロックイネーブル信号CKEのロウ (Low) 入力によるクロックサスペンドによって、時間T2のクロックエッジにより読み出されるデータDa1をチップ外部で使用する時間がT7からT8に1サイクル延びるが、OSEL1からOSEL2への切り替わりもサイクルT7からT8に、クロックサスペンドをしない場合に比較して1サイクル延び

るため、正常に出力されている。このとき、次のデータ Da2がFIFOバッファ106'に取り込まれるが、それは時間T3のクロックエッジを基とする制御なので、クロックサスペンドに関係なくFIFOバッファ106'のレジスタREG3に取り込まれ、Da1と衝突することはない。

【0161】すなわち、常に1つのデータに対して、FIFOバッファ106'の入力/出力共に同一のレジスタを使用し、正しいデータフロー制御が行われることが補償される。したがって、FIFOバッファ106'のレジスタ選択に関し、読み出しコマンド入力に起因する制御系は全く存在しない。

【0162】初期化およびカウントアップについては、カウンタ内部のみの処理なので処理時間は短く、内部基準クロック信号ICLKの周波数が高まっても、各サイクルに1回の処理を十分な余裕を持って終了する。

【0163】この制御により、モードレジスタセットコマンド入力後は、外部クロック信号CLKの周波数変化、クロックイネーブル信号CKEによるクロックサスペンドの有無に依らず、常に1つのデータに対して入力/出力共に同一のレジスタを使用し、正しいデータフロー制御が行われることが保証される。

【0164】適当な基準クロック周波数および/CASレイテンシが与えられたアクセスタイムの限界は、偶奇双方のIOBUSのデータ、及びこれらをラッチするFIFOバッファのレジスタのDSELと、この2つのデータのうち先に出力されるデータが読められるレジスタのOSELが重なり合ったタイミングとなる。

【0165】この時、先に出力されるデータはFIFOバッファ中を単純に通過しデータ出力バッファ(DOUT)110に達する。このため、アドレスアクセスタイム(外部からアドレスを与えられてからデータが出力される迄の時間)に対するオーバーヘッドは、前記第1の実施形態に示した、プリフェッチを行わない場合と同一であって、データがFIFOバッファ106'を通過する際の遅延のみであり、非常に短い。

【0166】以上説明したとおり、本実施形態によれば、読み出し動作の主要部分、特にカラムアドレス信号YADDおよびアドレスデコードカラムアドレスPYADDの処理、MARRからデータ出力線(IOBUS)へのデータ読み出し等を、内部基準クロック信号ICLK 2サイクル分の時間を費やして行うことができる。

【0167】これにより、本実施形態においては、内部基準クロック信号ICLKの周波数を前記第1の実施形態の構成の2倍にしても動作が保証される。このため、内部基準クロック信号ICLK周波数と同一であるバースト転送速度の最高値が前記第1の実施形態の構成のさらに2倍となる。

【0168】本実施形態では、FIFOバッファ制御の初期化をモードレジスタセットコマンドの入力によって

行っているが読み出しコマンド入力以前に必ず発生する動作、例えば電源投入、活性化コマンド入力等によって行っても問題ない。

【0169】

【実施形態3】これまでに明らかにしたとおり、バースト転送モードを持つメモリ素子では、アドレスアクセス時間が一定でも、高周波数の基準クロックを用いて、/CASレイテンシ数を増加させてバースト転送周波数を上げることができる。

【0170】しかしながら、低周波数で動作させる(他の素子、または基板の条件からシステムを低周波数で動作させる必要がある)場合には、/CASレイテンシが大きいと、バースト先頭のデータの出力までの時間が、アドレスアクセス時間の実力に比較して長くなってしまふ。

【0171】したがって、/CASレイテンシを小さくして、データ出力までの時間をアドレスアクセスタイムに見合うようにして使用することが求められる。

【0172】このためシンクロナスDRAMでは、モードレジスタにより/CASレイテンシを指定できる。

【0173】/CASレイテンシを大きくしてバースト転送周波数を上げる場合には、データの内部処理の多重度を高めることが必要である。このため、前記第2の実施形態においてはパイプライン方式とプリフェッチ方式を併用することにより多重度を高め、結果として大きい/CASレイテンシの下での、最高バースト転送周波数を得る方式を示した。

【0174】しかしながら、前記第2の実施形態ではプリフェッチ方式を取り入れたため、この方式におけるデータ処理の並列度以下の/CASレイテンシには対応できない。また、並列度以上の/CASレイテンシにおいても、データの入出力を並列度単位で行わなければならないということが問題となる場合がある。

【0175】本実施形態においては、以上の問題を改善するため、高いバースト転送周波数を実現する、大きな/CASレイテンシの時は、パイプライン方式とプリフェッチ方式とを併用し、逆に小さな/CASレイテンシの時には、パイプライン方式のみで動作するように切り換え制御するものである。

【0176】本実施形態においては、大きな/CASレイテンシ時には、図8に示した前記第2の実施形態と同じ動作を行う。したがって、本実施形態の構成は、前記第2の実施形態の説明のために参照した図6と同一であり、またFIFOバッファの回路構成は図7に示すものと同一とされる。

【0177】また、大きな/CASレイテンシにおける動作は前記第2の実施形態の動作説明に用いた図8と同様である。但し、前記第2の実施形態においては、/CASレイテンシに関わらず、プリフェッチ動作を行っていたのに対し、本実施形態では、小さな/CASレイテ

ンシ時にはプリフェッチ動作を行わない。

【0178】図10は、パイプライン方式のみで動作する小さな/CASレイテンシにおける動作を示すタイミング図である。/CASレイテンシは「3」であり、他の動作条件は図8のタイミング図の説明に示した条件と同一である。

【0179】本実施形態では、/CASレイテンシによって、ブロック図に示される各ブロックは、各々が以下に説明するような動作上の差異を持つ。

【0180】(1) 内部カラムアドレス信号YADDは、大きな/CASレイテンシ時には、内部基準クロックICLKの2クロック毎に出力され、小さな/CASレイテンシ時には、毎クロックに出力される。

【0181】(2) 大きな/CASレイテンシ時には、前記第2の実施形態に示したように、1つの内部カラムアドレス信号YADDから同時に偶数2つのプリデコードカラムアドレス信号PYADDを発生し、小さな/CASレイテンシ時には、1つのYADDから1つのプリデコードカラムアドレス信号PYADDを発生する。この際、偶プリデコードカラムアドレス信号PYADD(E)に出力するか、奇プリデコードカラムアドレス信号PYADD(O)に出力するかは内部カラムアドレス信号YADDの偶奇による。

【0182】(3) 大きな/CASレイテンシ時には、前記第2の実施形態に示したように、内部基準クロック信号ICLK 2サイクル毎にIOBUS(E)とIOBUS(O)の双方に読み出された2つのデータをDSEL(E)、DSEL(O)の両方を同時に活性化してFIFOバッファに取り込み、小さな/CASレイテンシ時には、ICLK毎サイクルにIOBUS(E)またはIOBUS(O)に読み出された1つのデータをDSEL(E)、DSEL(O)のどちらか一方を活性化してFIFOバッファに取り込む。どちらを活性化するかは内部カラムアドレス信号YADDの偶奇による。

【0183】以下に図面を参照して、本実施形態の、小さい/CASレイテンシ時における動作を説明する。

【0184】図10においては、時間(サイクルタイム)T1における、読み出し(Read)コマンド入力ではバースト先頭データのアドレスAa0が偶数なので、時間T1の内部基準クロック信号ICLKクロックエッジに基づいて偶数プリデコードカラムアドレス信号PYADD(E)にAa0が出力され、バースト2番目のデータのYADDのアドレスAa1が奇数なので時間T2の内部基準クロック信号ICLKクロックエッジに基づいて奇数プリデコードカラムアドレス信号PYADD(O)にAa1が出力される。

【0185】また、時間(サイクルタイム)T5の読み出し(Read)コマンド入力では、バースト先頭データのアドレスAb0が奇数なので時間T5の内部基準クロック信号ICLKクロックエッジに基づいて奇数プリ

デコードカラムアドレス信号PYADD(O)にAb0が出力され、バースト2番目のアドレスAb1が偶数なので時間T6の内部基準クロック信号ICLKクロックエッジに基づいて偶数プリデコードカラムアドレス信号PYADD(E)にAb1が出力される。

【0186】上記により、小さな/CASレイテンシでは内部基準クロックICLKの2クロック毎に2ビットのデータが並列してDRAMコアから偶奇双方のデータ入出力線(IOBUS)112-1、112-2に読み出されるのに対し、小さな/CASレイテンシでは、内部基準クロックICLKの毎クロックに対し、1ビットずつのデータがDRAMコアから偶奇どちらかのデータ入出力線(IOBUS)に読み出される。

【0187】大きな/CASレイテンシの場合には、前記第2の実施形態と同様の手順で、基準クロックの2クロック毎に、偶奇両方のIOBUSのデータを、内部カラムアドレス信号YADDを参照して出力順にFIFOバッファに取り込む。

【0188】小さな/CASレイテンシの場合には、内部基準クロックICLK毎に内部カラムアドレス信号YADDを参照して偶奇いずれかのIOBUSのデータを、FIFOバッファに取り込む。

【0189】図10においては、時間T1の読み出しコマンド入力ではバースト先頭データのアドレスAa0が偶数であるため、これによりIOBUS(E)に出力されたデータDa0をFIFOバッファに取り込むためにDSEL0(E)が活性化される。

【0190】また、バースト2番目のデータのアドレスAa1が奇数であるため、これによりIOBUS(O)に出力されたデータDa1をFIFOバッファに取り込むためにDSEL1(O)が活性化される。時間T5の読み出しコマンド入力ではバースト先頭データのアドレスAb0が奇数なので、これによりIOBUS(O)に出力されたデータDb0をFIFOバッファに取り込むためにDSEL4(O)が活性化される。また、バースト2番目のデータのアドレスAb1が偶数なので、これにより、IOBUS(E)に出力されたデータDb1をFIFOバッファに取り込むためにDSEL0(E)が活性化される。

【0191】以上の手順により、/CASレイテンシに基づいたプリフェッチ動作の有無に関わらず、FIFOバッファ内には出力順にデータが格納される。したがって、OSELは前記第2の実施形態と全く同じ方法で制御できる。

【0192】これにより、大きな/CASレイテンシで用いる場合には、パイプライン方式とプリフェッチ方式を併用して高速度なバースト転送周波数を実現すると共に、小さな/CASレイテンシは、パイプライン方式のみで動作させることにより実現することができる。

【0193】

【実施形態4】図11は、本発明の第4の実施形態の構成を示すブロック図である。図12は本発明の第4の実施形態を示すブロック図のうちファーストインファーストアウト（FIFO）バッファおよびデータアウトバッファの一部に関する回路である。また、図13は本発明の第4の実施形態の動作を説明するためのタイミング図である。

【0194】本発明の前記第1乃至第3の実施形態においては、OSELがデータアウトバッファ（DOUT）110の出力制御を行っていた。この方法ではデータバスにおける制御回路の挿入が最小限ですむため、アドレスアクセスタイムが短いと言う長所がある。

【0195】その反面、外部からのデータ出力のためのクロックエッチを与えられてからOSELの制御を始めるため、クロックアクセスタイム（外部から出力用の基準クロックを与えられてからデータが出力されるまでの時間）が長くなるという短所がある。

【0196】そこで、本実施形態では、FIFOバッファ106の後にラッチ回路を一段設ける。実際にチップ外部への出力データが変化するのは、このラッチ回路がラッチ動作を行うときである。このラッチ回路は、単純に基準クロックに従いデータをラッチするのみなので、クロックアクセスタイムは短い。

【0197】図11を参照して本実施形態の構成を説明する。図11に示すように、本実施形態が、図1に示した前記第1の実施形態の構成と相違する点は、データアウトバッファ（DOUT）110'に内部基準クロック信号ICLKが入力されている点である。それ以外の構成は前記第1の実施形態と同様である。

【0198】図12には、FIFOバッファ106とデータアウトバッファ（DOUT）110'のデータバスについて示してあるが、内部基準クロックICLKで制御されるトランジスタTR1以降で構成されるラッチ回路が挿入されている以外の構成は、前記第1の実施形態で参照した図2の構成と同一である。

【0199】図13に示すタイミング図を参照して、本実施形態を以下により詳細に説明する。前記第1の実施形態では時間（サイクル）T1で入力された読み出し（Read）コマンドによるバースト先頭データDa0をFIFOバッファ106から出力するOSEL0の活性化は、コマンド入力後から（/CASレイテンシー-1）サイクル後の時間T5の内部基準クロック信号ICLKのクロックエッチによって行われていたのに対し、本実施形態では、（/CASレイテンシー-2）サイクル後の時間T4の内部基準クロック信号ICLKクロックエッチによって行われる。

【0200】前記第1の実施形態においては、この直後にチップ外部にデータ出力が行われるが、本実施形態においては、次の時間T5の内部基準クロック信号ICLKクロックエッチにより、パストランジスタTR1が活

性化されることにより（トランジスタTR1が導通し）、はじめてデータ出力が行われる。

【0201】なお、本実施形態は、前記第2の実施形態または前記第3の実施形態の構成と併用してもかまわない。

【0202】

【実施形態5】図14は本発明の第5の実施形態の構成を示すブロック図である。また、図15は、図14に示す本発明の第5の実施形態を示すブロック図のうち、ファーストインファーストアウト（FIFO）バッファおよびデータアウトバッファDOUTの一部を示す回路図である。図16は本発明の第5の実施形態の動作を説明するためのタイミング図である。

【0203】上記図面を参照して本実施形態を以下に説明する。

【0204】本実施形態においては、データ入出力線（IOBUS）は相補信号で構成される。データがメモリセルアレイ（MARR）120から読み出されていないときには、データ入出力線（IOBUS）112、その相補信号線（/IOBUS）（「アイオーバスバー」という）112'は双方ともリードアンプ（RAMP）113またはライトアンプ（WAMP）114により同じ電位（ハイ電位）にプリチャージされている。

【0205】前記第1の実施形態等と同様の手順により、読み出し（Read）コマンドによるバースト期間中、内部基準クロックICLKの各エッチにより、メモリセルアレイ（MARR）120からデータDa0等が読み出された場合、データDa0の値により、IOBUSまたは/IOBUSのいずれか一方のみが電位変化（ハイからロウ）を起こす。

【0206】逆に基準クロックのエッチに対応する読み出しデータが存在しない場合には、IOBUSおよび/IOBUSの双方ともプリチャージされた電位（ハイ電位）を保つ。

【0207】すなわち、本実施形態の相補信号で構成されたデータ入出力線（IOBUS）112、112'は論理“0”又は“1”の他に、メモリセルアレイ（MARR）120からの出力データなし（Hi-Z出力、即ち高インピーダンス出力）の3値を持つ。FIFOバッファ106'は、この3値を記憶する。

【0208】このために、FIFOバッファ106'は、図15に示すように、各々のレジスタREG0～REG4が、データ入出力線IOBUSおよび/IOBUSの値を取り込む2つのフリップフロップによって構成される。

【0209】データが2つのフリップフロップによりラッチされた場合には、OSEL信号により導通状態とされるトランスファトランジスタを介して出力される相補信号はいずれか一方がハイ電位となり、従って相補信号をゲート電極に入力するトランジスタTR2及びトラン

ジスタTR3のいずれか一方が活性化して導通状態となることにより、チップ外部にハイ電位またはロウ電位を出力する。

【0210】データがラッチされていない(I/OBUS、/I/OBUSが共にハイ電位状態をラッチし、Hi-Z出力をラッチした)場合には、TR2とTR3の双方が非活性状態となり、データを出力しない状態となる。

【0211】本実施形態の構成によれば、データの出力の有無(論理“0”または“1”の出力をするか、あるいはHi-Zの出力をするか)は、メモリセルアレイ(MARR)120からデータを読み出すか、読み出さないかのみで決まっている。DSEL信号およびOSEL信号はどれかが活性化されていてもかまわない。

【0212】従って、外部基準クロックCLKの出力を指示するエッジが入力されてから、データ出力の有無を判断しなくてよいため、クロックアクセスタイムが短くなる。

【0213】なお、本実施形態は、前記第2の実施形態、前記第3の実施形態、または前記第4の実施形態の構成と併用してもかまわない。

【0214】

【実施形態6】図17は、本発明の第6の実施形態を説明するためのタイミング図である。

【0215】既に明らかにしたように、前記第1の実施形態から前記第5の実施形態においては、FIFOバッファ入力制御用カウンタ(DCNT)の初期化は、モードレジスタセットコマンドを取り込む基準クロックのエッジによって行い、FIFOバッファ入力制御用カウンタ(OCNT)の初期化は、モードレジスタセットコマンドを取り込む基準クロックのエッジから/CASレイテンシ数をもとにして指定される基準クロック数後のエッジによって行い、それぞれの初期値を同じくすることによって、読み出しコマンドによるデータの出力制御を正しく行う。このためには、/CASレイテンシによりOCNTの初期化を行う基準クロックのエッジを指定するカウント回路が必要である。

【0216】図5は、/CASレイテンシが「4」の場合であるため、モードレジスタセットコマンドを取り込む時間T1のクロックエッジから(/CASレイテンシ-1)サイクル後の時間T5に基づいてOCNTの初期化を行う。従って、T1~T5までのサイクル数をカウントする回路が必要である。

【0217】本実施形態では、制御回路を簡略化するため、図16に示すように、DCNT、OCNT共にモードレジスタセットコマンドを取り込む基準クロックのエッジによって、前述の初期化と等価になるような初期値でDCNTを初期化する。CASレイテンシによってDCNTの初期値は異なる。DCNTの初期値でCASレイテンシを調整するのは、ディレイの間に内部でCAS

レイテンシが決定できるからである。

【0218】このような回路構成にすることにより、OCNTの値を初期化するための特別なカウント回路が必要なくなる。

【0219】本実施形態では、説明のためDSEL、OSEL信号を全サイクルにおいて出力しているが、実際にはデータがFIFOバッファに入出力される時のみ活性化されれば良い。また、FIFOバッファ制御の初期化をモードレジスタセットコマンドの入力によって行っているが、読み出しコマンド入力以前に必ず発生する動作、例えば電源投入、活性化コマンド入力等によって行っても問題ない。

【0220】

【発明の効果】以上説明したように、本発明では、付加的なゲート遅延がほとんどない高速なバーストモードを持つ半導体メモリをほとんど面積の増加なく提供する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の構成を示す図である。

【図2】本発明の第1の実施形態におけるFIFOバッファの構成を示す図である。

【図3】本発明の第1の実施形態の動作を説明するためのタイミング図である。

【図4】本発明の第1の実施形態の動作を説明するためのタイミング図である。

【図5】本発明の第1の実施形態の動作を説明するためのタイミング図である。

【図6】本発明の第2の実施形態の構成を示す図である。

【図7】本発明の第2の実施形態におけるFIFOバッファの構成を示す図である。

【図8】本発明の第2の実施形態の動作を説明するためのタイミング図である。

【図9】本発明の第2の実施形態の動作を説明するためのタイミング図である。

【図10】本発明の第3の実施形態を説明するためのタイミング図である。

【図11】本発明の第4の実施形態の構成を示す図である。

【図12】本発明の第4の実施形態におけるFIFOバッファ及びデータ出力バッファの構成を示す図である。

【図13】本発明の第4の実施形態の動作を説明するためのタイミング図である。

【図14】本発明の第5の実施形態の構成を示す図である。

【図15】本発明の第5の実施形態におけるFIFOバッファ及びデータ出力バッファを示す回路図である。

【図16】本発明の第5の実施形態の動作を説明するためのタイミング図である。

【図17】本発明の第6の実施形態を説明するためのタ

タイミング図である。

【図18】従来例（パイプライン方式）を示すタイミング図である。

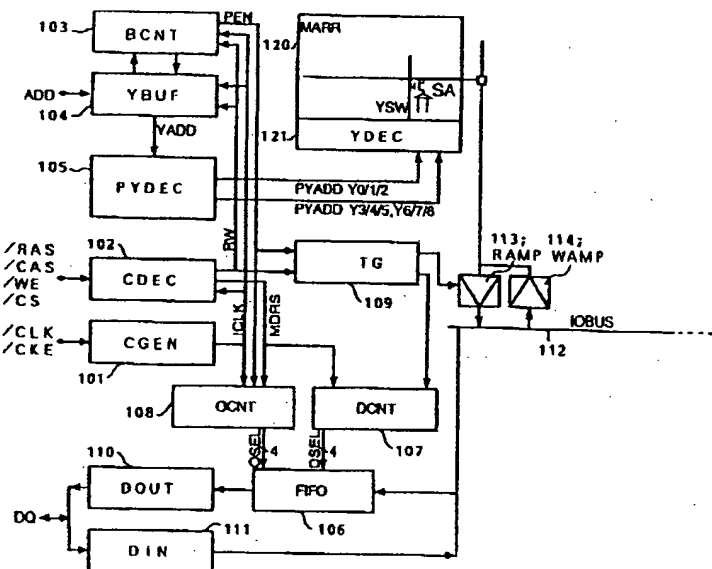
【図19】従来例（プリフェッチ方式）を示すタイミング図である。

【符号の説明】

101 CGEN 内部基準クロック生成回路
 102 CDEC コマンドデコーダ
 103 BCNT バーストカウンタ
 104 YBUF 内部カラムアドレスバッファ
 105 PYDEC カラムアドレスプリデコーダ
 121 YDEC カラムデコーダ
 120 MARR メモリセルアレイ
 SA センスアンパ
 109 TG タイミング発生回路
 113 RAMP リードアンパ
 114 WAMP ライトアンパ
 106 FIFO FIFOバッファ
 107 DCNT FIFOバッファ入力制御用カウンタ
 108 OCNT FIFOバッファ出力制御用カウンタ
 110 DOUT データアウトバッファ
 111 DIN データインバッファ
 CLK 外部基準クロック信号
 CKE 基準クロックイネーブル信号
 /RAS 外部コマンド信号、ラスバー信号

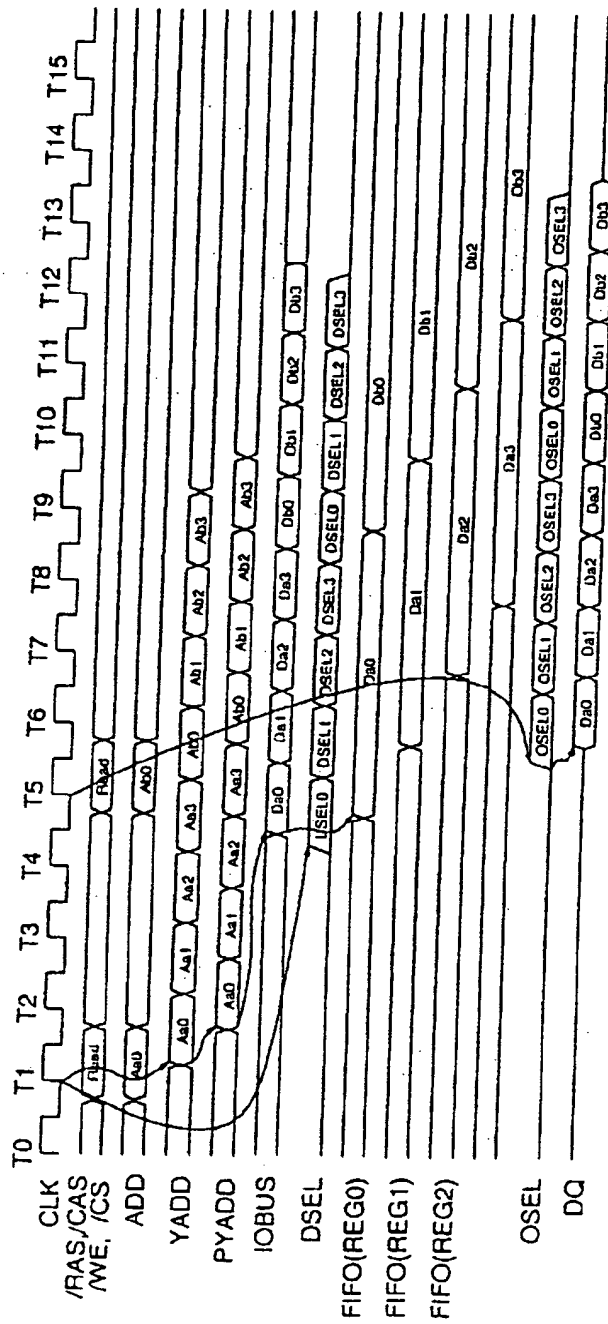
/CAS 外部コマンド信号、カスバー信号
 /WE 外部コマンド信号、ライトイネーブルバー信号
 /CS 外部コマンド信号、チップセレクトバー信号
 ADD 外部アドレス信号
 DQ 外部データ信号
 REG0~REG4 レジスタ
 TR1~TR3 トランジスタ
 ICLK 内部基準クロック信号
 RW 読み出し/書き込みコマンド信号
 MDRS モードレジスタセットコマンド信号
 PEN バースト期間信号
 YADD 内部カラムアドレス信号
 PYADD 内部カラムアドレスプリデコード信号
 YSW メモリセルアレイカラム選択線
 IOBUS データ入出力線
 DSEL FIFOバッファデータラッチ選択線
 OSEL FIFOバッファ出力制御線
 Aa0~Aa3, Ab0~Ab3 アドレス値
 Da0~Da3, Db0~Db3 データ値
 T0~T15 時間
 READ 読み出しコマンドを示す外部コマンド信号の組合せ
 RSET モードレジスタセットコマンドを示す外部コマンド信号の組合せ

【図1】

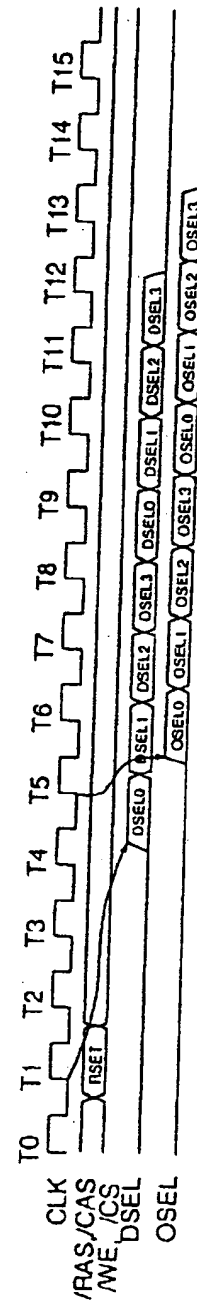


[illegible]

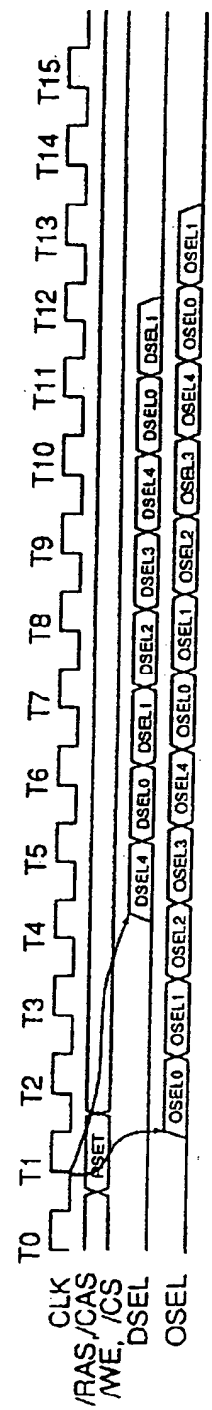
【図3】



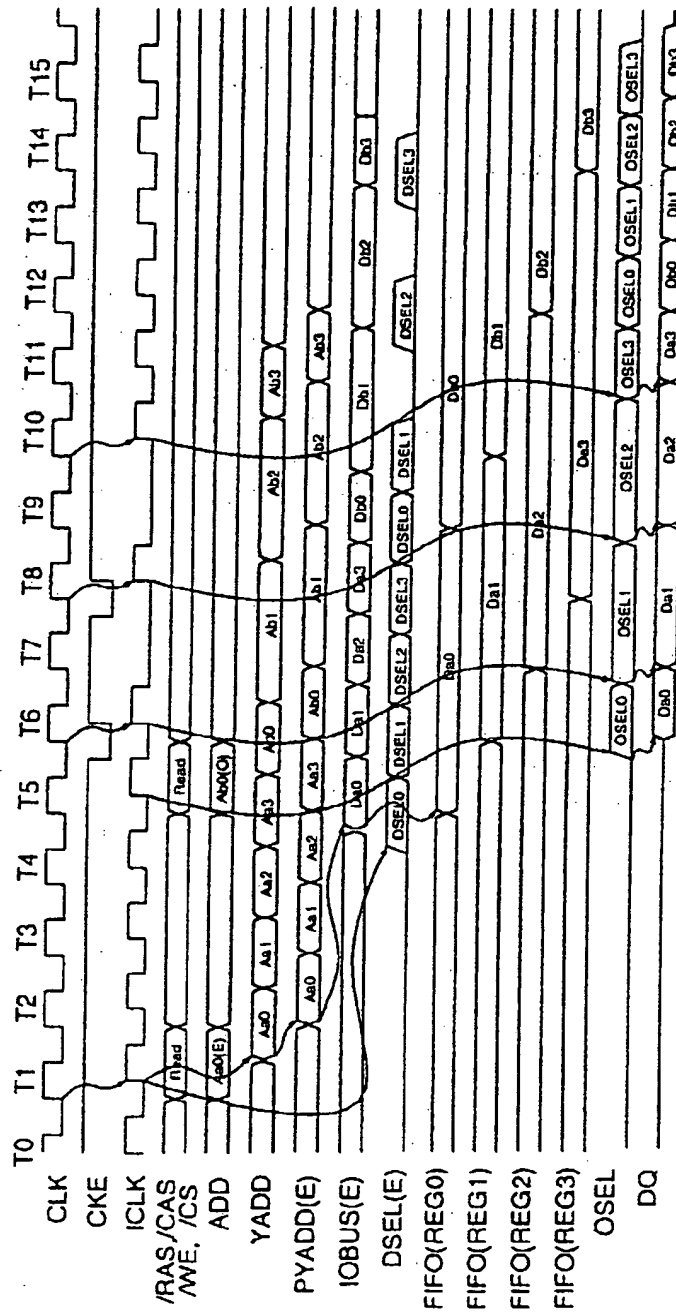
【図5】



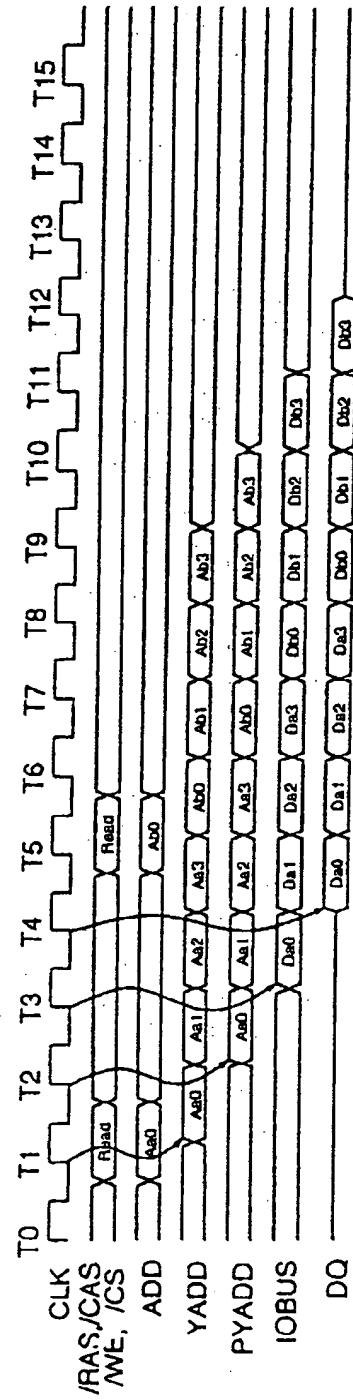
【図17】



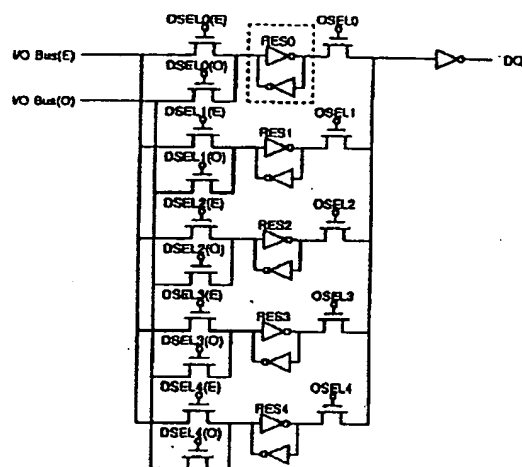
【図4】



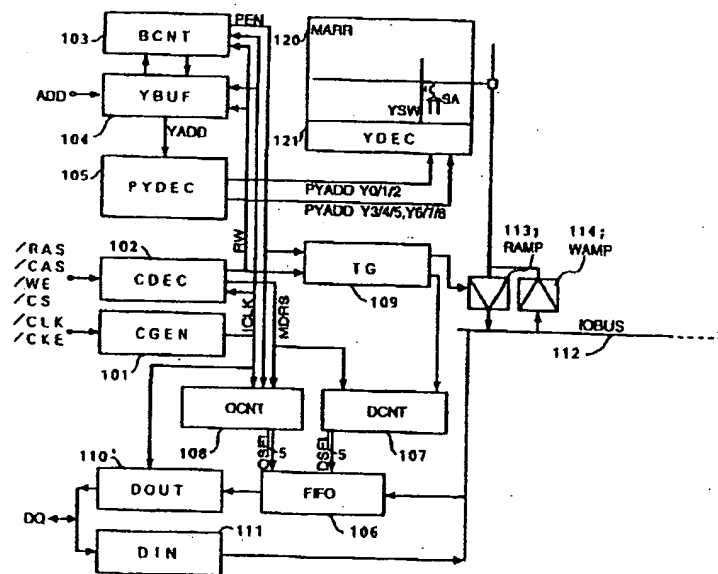
【図18】



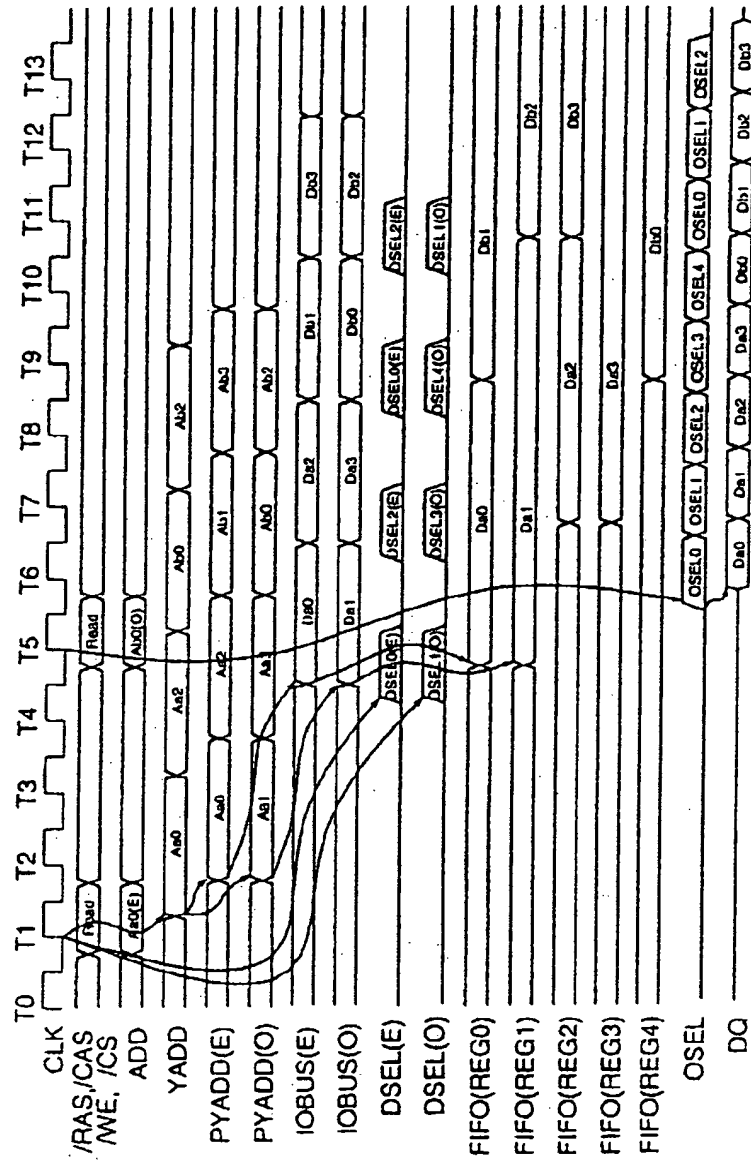
【図7】



【図11】



【図8】



The timing diagram illustrates the operation of the 74VHC163 counter. The horizontal axis represents time, divided into 16 clock cycles labeled T0 through T15. The vertical axis lists the signals: CLK, CKE, ICLK, /RAS, /CAS, /WE, /CS, ADD, YADD, PYADD(E), PYADD(O), IOBUS(E), IOBUS(O), DSEL(E), DSEL(O), FIFO(REG0), FIFO(REG1), FIFO(REG2), FIFO(REG3), FIFO(REG4), OSEL, and DQ.

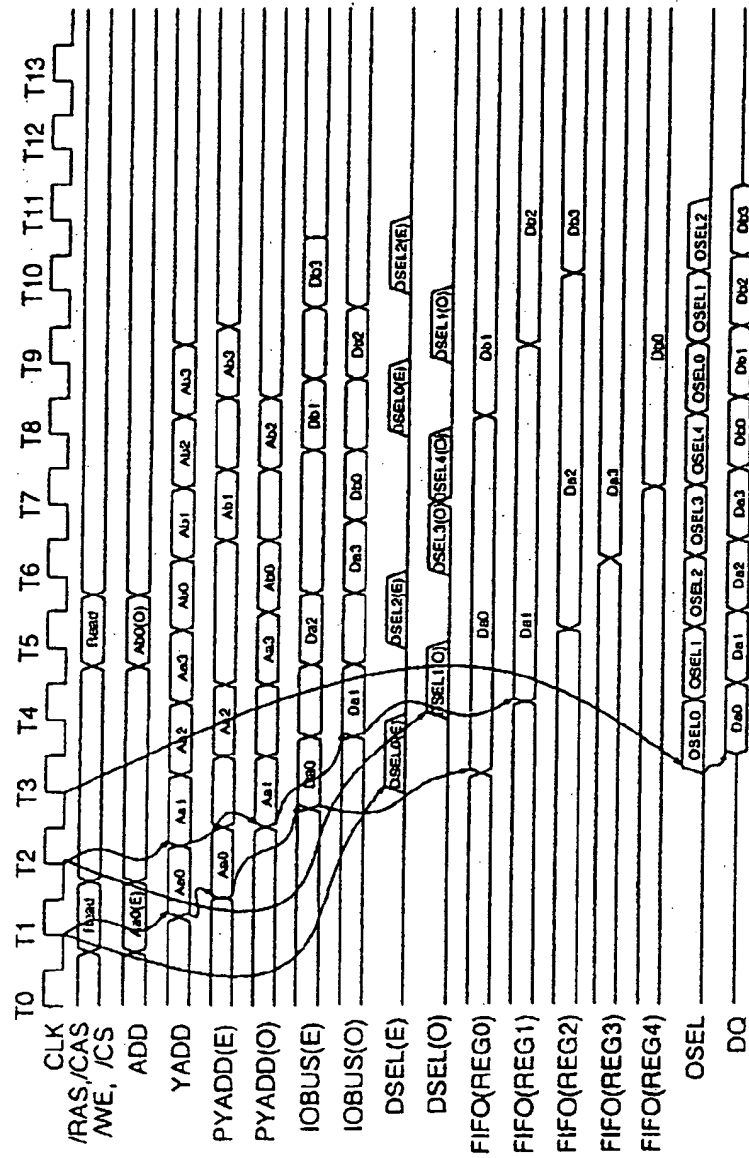
Control Signals:

- CLK:** The master clock signal, shown as a periodic square wave.
- CE:** Counter Enable, active low. It is pulled up to V_{CC} and goes low at T0, remaining low until T15.
- LD:** Load, active low. It is pulled up to V_{CC} and goes low at T0, remaining low until T15.
- EN:** Enable, active low. It is pulled up to V_{CC} and goes low at T0, remaining low until T15.
- OE:** Output Enable, active low. It is pulled up to V_{CC} and goes low at T0, remaining low until T15.

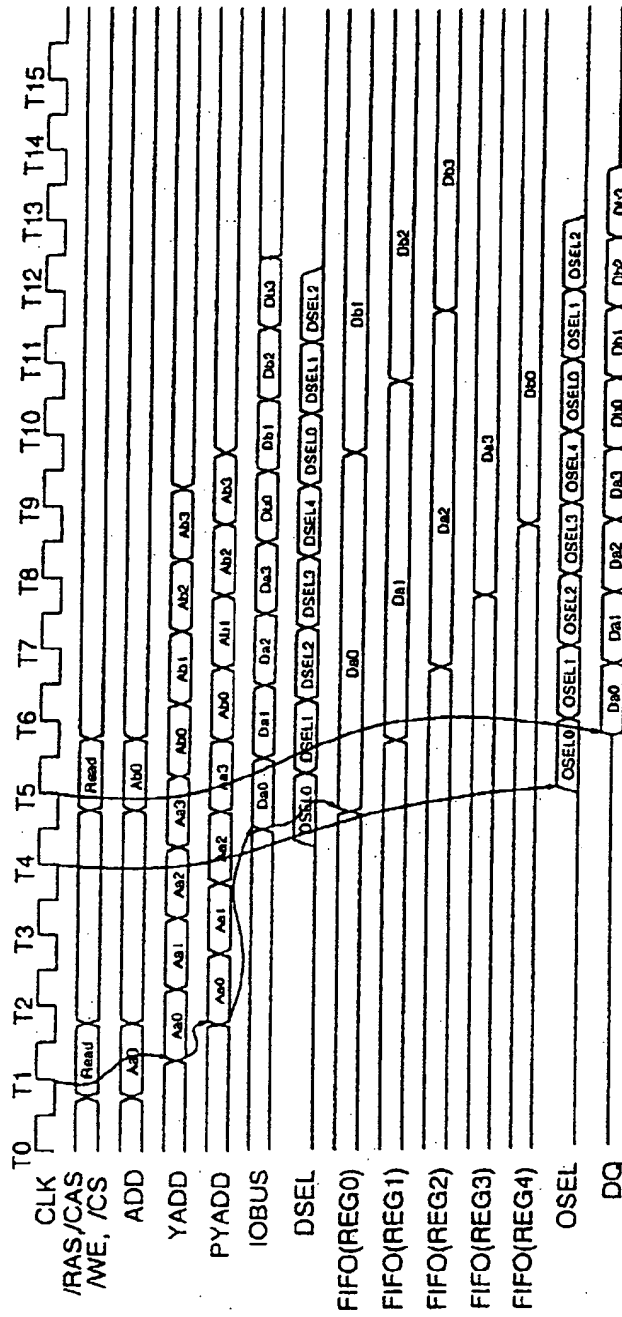
Data Signals:

- ADD:** Address bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- YADD:** Y-address bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- PYADD(E):** Parity Y-address bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- PYADD(O):** Parity Y-address bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- IOBUS(E):** Input/Output bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- IOBUS(O):** Input/Output bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- DSEL(E):** Data Select bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- DSEL(O):** Data Select bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- FIFO(REG0) to FIFO(REG4):** Data Select bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- OSEL:** Output Select bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.
- DQ:** Data bus. It carries the 4-bit address (A0-A3) from T0 to T15. The data is valid when LD is low.

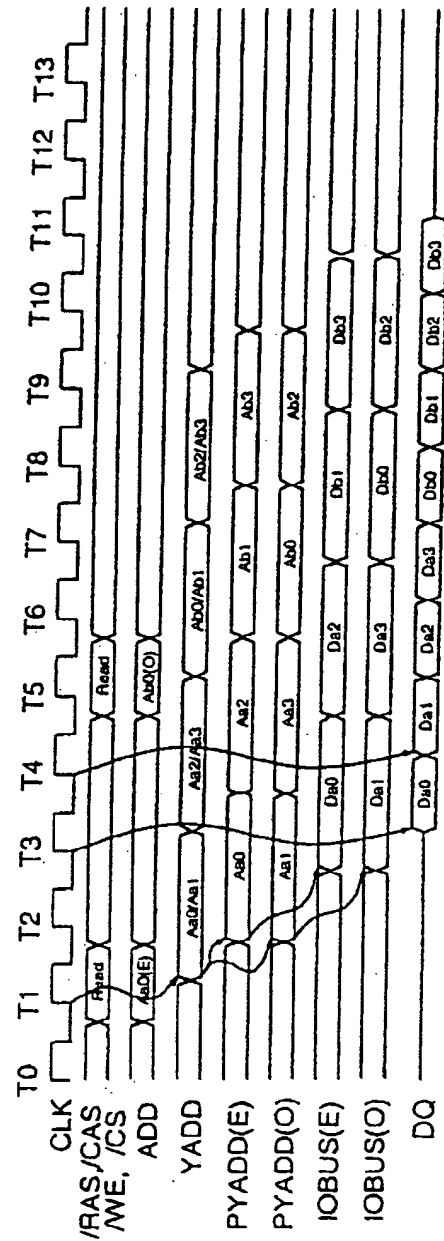
【図10】



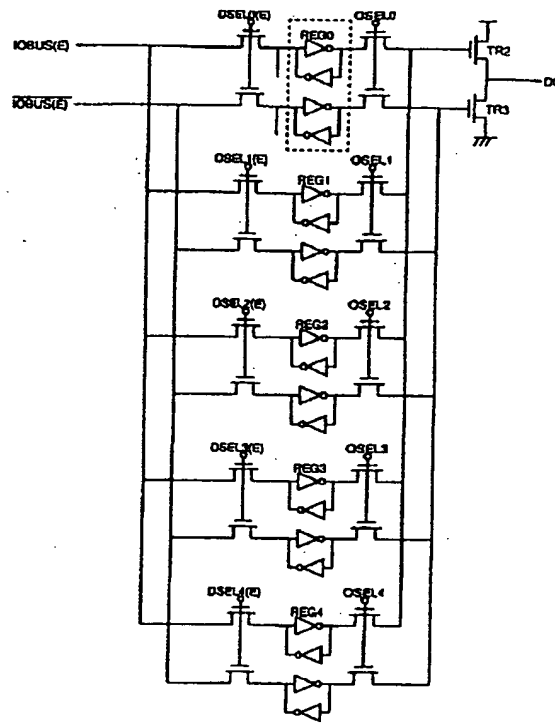
【図13】



【図19】



【図15】



【図16】

